

UVOD

Procesor Itanium II je druga po redu implementacija Itanium ISA arhitekture. U ovom mikroprocesoru su upotrijebljeni koncepti EPIC (Explicitly Parallel Instruction Computing) dizajna, sa ciljem da se ostvari bolje funkcionisanje i povezanost hardvera i softvera. U ovom načinu dizajna, interfejs između hardvera i softvera je dizajniran na način koji omogućava da softver koristi sve informacije koje su mu na raspolaganju tokom kompajliranja i da ih na efikasan način prenese hardveru.

Također, EPIC dizajn omogućava da se prevaziđu neke od pojava koje loše utječu na performanse u modernim računarima. EPIC konstrukcije pružaju moćnu arhitekturnu semantiku i omogućavaju softveru da izvrši širok opseg optimizacija na globalnom nivou, te na taj način omogući da hardver koristi ILP (paralelizam na nivou instrukcija). Hardver je sa svoje strane projektovan tako da se ovaj ILP iskoristi u punom obimu. Također, hardver je u mogućnosti da vrši dinamičke optimizacije tokom faze izvođenja i na taj način omogući veoma brzo izvršavanje. Ova strategija povećava povezanost hardvera i softvera pri radu i dovodi do boljih ukupnih performansi.

OSNOVNE KARAKTERISTIKE EPIC ARHITEKTURE

Na slijedećoj slici prikazan je konceptualni prikaz EPIC hardvera. On ilustruje na koji su način različite karakteristike EPIC seta instrukcija mapirane na mikroprotočne stepene u samom hardveru. Jezgro mašine je izvršna jedinica koja je dizajnirana na taj način da obezbijedi veliku propusnost koju EPIC kod sa velikim ILP – om zahtijeva prilikom spekulativnih i predikatskih operacija.

Slika 1. Konceptualni prikaz EPIC hardvera

Kontrola izvršavanja je izvršena sa strukturom koja se naziva ALAT, treba da podrži spekulacije sa podacima i u saradnji sa hardverom što više smanji pojavu izuzetaka prilikom spekulativnog izvršavanja. Hardversko upravljanje spekulacijama je veoma jednostavno: dodavanje jednog bita na podatke ima za cilj lakše odbacivanje rezultata pogrešne spekulacije. Operandi se učitavaju u jezgro mašine iz polja registara koje i za registre opće namjene i za FP registre ima podršku za dinamičku dodjelu registara i rotaciju registara. Hardver za upravljanje registrima je opremljen jedinicom RSE (Register Stack Engine) koja vrši snimanje i restauriranje sadržaja registara prilikom prekoračenja opsega u registarskom steku.

Mreža za raspoređivanje instrukcija puni protočni sistem. Ova mreža koristi eksplicitni paralelizam i skupove instrukcija da bi efikasno dodjelila pribavljene instrukcije na ispravne portove, eliminišući složenu logiku za detekciju međuzavisnosti. Odvojeni sklopovi za pribavljanje instrukcija koriste napredne tehnike ranog pribavljanja i tehnike za predviđanje grananja da bi se osiguralo da pribavljene instrukcije dođu sa korektno putanje i da se pribave dovoljno rano da se izbjegnu slučajevi promašaja u kešu.

Konačno, lokalnost memorije je iskorištena od strane keš podsistema za unapređivanje postupaka pri alokaciji i izmjeni podataka u kešu, što ima za rezultat bolje iskorištavanje tri nivoa keša na čipu i veću propusnost memorijskog podsistema.

**----- OSTATAK TEKSTA NIJE PRIKAZAN. CEO RAD MOŽETE
PREUZETI NA SAJTU. -----**

www.maturskiradovi.net

MOŽETE NAS KONTAKTIRATI NA E-MAIL: maturskiradovi.net@gmail.com