

Sadržaj:

Uvod Opis domena problema Očekivani rezultati Kratak opis alata Xilinx ISE Rešenje Funkcionalni zahtevi Blok šema rešenja Opis spoljnih pinova Detaljan opis rešenja Rezultati simulacije Implementacija Izveštaj implementacije Zaključak Literatura 3 3 4 4 7 7 7 8 9 15 21 21 24 25

Strana 2

Bihevioralni opis UART interfejsa

1. Uvod

1.1 Opis domena problema

Zadatak koji je bio predamnom jeste bihevioralni opis UART interfejsa. Za sam početak ovog rada smatram da bi trebalo jasno definisati problem. Funkcija ovog interfejsa jeste pretvaranje signala srijskog formata u signale paralelnog formata i obrnuto, pretvaranje paralelnih signala u serijske, radi transmisije tih signala u komunikacionom okruženju. Uređaj mora da umeće i da izbacuje specijalne bitove koji se koriste u ovoj komunikacionoj tehnici. Interfejs treba da bude transparentan prema CPU-u i to kao ulazno-izlazni bajt-orijentisani protok podataka. Da bih lakše predstavio problem iskoristiću blok šemu na kojoj su prikazane logičke celine UART interfejsa sa signalima koji bi trebali da postoje, slika 1.

Slika 1.

Na ovoj blok šemi jasno razlikujemo nekoliko celina. Razlikujemo blok na kome se nalaze signali kojima kontrolišemo rad UART-a, na šemi označena kao kontrolna logika. Zatim odmah ispod kontrolne logike imamo blok na kome su signali kojima se usklađuje UART.

Strana 3

Bihevioralni opis UART interfejsa

Sa desne strane magistrale imamo četiri bloka, dva se tiču primanja serijskih signala i prevođenja u paralelne. To su receive blokovi, registar i kontrola prevođenja. Iznad receive blokova nalaze se oni za prijem paralelnih i predaju serijskih signala, transmit blokovi, registar za prijem i kontrola prevođenja.

1.2 Očekivani rezultati

Kao rezultat ovog rada očekuje se bihevioralni opis kola, koje izvršava prijem i slanje serijskih podataka ka spoljašnjem uređaju, njihovu asinhronu obradu, kao i prijem i slanje paralelnih podataka.

1.3 Kratak opis alata Xilinx ISE

Ime alata potiče od Integrated Software Environment (ISE). Alat predstavlja potpuno okruženje za projektovanje programabilnih kola firme Xilinx, počev od unosa HDL opisa kola, pa do verifikacije već programiranog i ugrađenog kola. Tok projektovanja je dat na sledećoj slici 2:

Slika 2.

Project Navigator je program za upravljanje i procesiranje toka projektovanja kroz sledeće korake:

Strana 4

Bihevioralni opis UART interfejsa

- Unošenje projekta o prvi korak u ISE toku projektovanja o kreiraju se izvorni fajlovi projekta po principu top-down korišćenjem jezika za opis hardvera (VHDL, Verilog, ABEL) ili korišćenjem šematskog unosa
- Sinteza o pokreće se nakon unosa i eventualne simulacije projekta o iz izvornih fajlova projekta kreiraju fajlovi netlisti neophodnih za implementaciju
- Implementacija o pokreće se nakon sinteze o projekat opisan na RTL nivou konvertuje se u fajl za programiranje izabranog logičkog kola o proces implementacije zavisi od tipa izabranog logičkog kola (FPGA ili CPLD)
- Verifikacija o projekat se može više puta proveravati u toku procesa projektovanja o verifikuje se funkcionalnost i tajming projekta ili njegovog dela
- Konfiguracija kola o nakon konvertovanja RTL opisa u fajl za programiranje, kolo se može programirati o generišu se konfiguracioni fajlovi i upisuju se pomoću kompjutera u izabrano Xilinx kolo

Pomoćni alati iz Xilinx ISE paketa su:

- Architecture Wizard o pomoć u kreiranju novog projekta
- Constraints Editor o Constraints su instrukcije ograničenja plasirane pri unosu opisa projekta o specifikuju razmeštaj pinova, stanja memorije flip-flopova i lečeva, globalni i tajming grupa portova, imena i smerove signala o pišu se u kotisničkim fajlovima ograničenja (User Constraints File UCF)
- CORE Generator o generisanje fajlova korova koji štite intelektualnu svojinu (Intellectual Property - IP) o FIFO i memorije, Reed-Solomon Decoder i Encoder, FIR filtri, brza Furijeova transformacija (FFT), standardni bus interfejsi (PCI i PCI

Strana 5

----- OSTATAK TEKSTA NIJE PRIKAZAN. CEO RAD MOŽETE PREUZETI NA SAJTU. -----

www.maturskiradovi.net

MOŽETE NAS KONTAKTIRATI NA E-MAIL: maturskiradovi.net@gmail.com